

⑫ 公開特許公報 (A)

昭55—150027

⑪ Int. Cl.³
G 06 F 1/02
G 06 J 1/00
// G 06 G 7/19

識別記号

庁内整理番号
6974—5B
7060—5B
7060—5B

⑬ 公開 昭和55年(1980)11月21日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ デジタル信号処理方式

23号国際電信電話株式会社研究
所内

⑮ 特 願 昭54—58109

⑯ 出 願 人 国際電信電話株式会社

⑰ 出 願 昭54(1979)5月14日

東京都新宿区西新宿2丁目3番
2号

⑱ 発 明 者 池田佳和

⑲ 代 理 人 弁理士 山本恵一

東京都目黒区中目黒2丁目1番

明 細 書

1. 発明の名称

デジタル信号処理方式

2. 特許請求の範囲

(1) 入力信号に周期関数波形を乗算する信号処理方式において、入力信号の標本値の各量子化レベルと周期関数波形の標本番号をアドレスとし、当該量子化レベルと周期関数波形の標本値との積を前記アドレスにデジタル量として記憶する記憶回路をもうけ、当該記憶回路を入力信号の標本値と標本順序と周期関数の標本番号に従って索表することにより前記乗算がおこなわれることを特徴とするデジタル信号処理方式。

(2) 特許請求の範囲(1)のデジタル信号処理方式において、第1の記憶回路及び第2の記憶回路がもうけられ、前記第1の記憶回路には前記積の絶対値だけを記憶させ、入力信号の標本値の絶対値と周期関数波形の標本番号をアドレスとして索表し、周期関数波形の標本

値の極性を標本番号にしたがって記憶させた第2の記憶回路を設け第2の記憶回路は標本順序により索出し該出力と入力信号の極性の両者により出力信号の極性を決定し、該極性と第1の記憶回路の出力との合成により前記乗算がおこなわれることを特徴とするデジタル信号処理方式。

(3) 特許請求の範囲(1)又は(2)に記載のデジタル信号処理方式において、前記第1の記憶回路には周期関数の標本値のうち互いに異なる標本値に関する積だけを記憶させ、入力信号の標本順序と周期関数の標本番号との対応関係を記憶させた記憶手段を設け、入力信号の標本順序を該記憶手段により変換し、当該変換後の番号と入力信号の標本値に従って第1の記憶回路を索表することにより前記乗算がおこなわれることを特徴とするデジタル信号処理方式。

3. 発明の詳細な説明

本発明は入力信号に周期関数波形を乗算するデ

デジタル信号の「たたみ込み」演算方式に関する。

代表的な周期関数波形としては正弦波や余弦波があり、入力信号にこの種の周期関数波形を掛け合わせる信号処理は、ディジタル通信装置や測定装置に広く使用される。例えば、振幅変調を実行する変調器においては、入力信号 $x(t)$ に搬送波 $\sin 2\pi f t$ を掛けることによって、 $x(t) \times \sin 2\pi f t$ を出力としているが、この過程は前記の「たたみ込み」演算処理そのものであるといえる。別の例としては、単側波帯通信方式 (SSB) における変調器あるいは復調器を構成する一方法として、入力信号に搬送波 $\sin 2\pi f t$ と $\cos 2\pi f t$ を各々別個に掛けた後両者をベクトル合成して変調出力あるいは復調出力を得る装置も知られている。さらに他の応用として、入力信号の周波数スペクトルを分析するスペクトル分析装置や、特定の周波数成分の有無を検出する周波数検出装置において、フーリエ変換の原理を用いて構成するものについては、前記の例と同様に、入力信号に各種周波数の正弦波、余弦波を乗算する処理が基本構成の一部として

(3)

形を入力 PCM 信号の標本間隔と等しい時間間隔で標本化し、その標本値の系列を線形 PCM 符号の形式で記憶させておき、順次サイクリックに読み出すことによって所定の周期関数の PCM 信号系列を出力することができる。乗算器 12 は、加算回路と中間結果を記憶するシフトレジスタ等から構成され各種の方法が知られている。

この種の従来技術においては、ディジタル乗算器が必要であり、ディジタル乗算器は加算と桁上げを繰返して実行するため回路構成が複雑となる。また、乗算速度を高めるためには各桁の乗算を並行して実行するため多数の素子が必要となる。このように、従来のディジタル信号処理回路においては、乗算器を必要としたため回路構成が複雑となったり、処理速度に大きな制限が加わるといった欠点があった。

本発明はこれらの欠点を改善するためなされたものであり、従来回路で必要であった乗算回路を廃することを目的とする。本発明によると従来の乗算回路に代えてあらかじめ本回路に使用される

(5)

使用される。

従来、このような、入力信号と周期関数波形との「たたみ込み」演算は、所定の周期関数波形の発生器と 2 入力乗算器を設け、乗算器の一方の入力には入力信号を他方の入力には周期関数波形を入れることにより実現していた。

また、この乗算処理をディジタル回路素子だけで実行する方法の従来例として、第 1 図の様な回路が公知である。第 1 図において 10 は入力端子、11 は符号変換回路、12 は乗算器、13 は出力端子、14 は周期関数発生回路である。この構成によって、入力の PCM 信号に、所定の周期関数 (例えば、 $\sin 2\pi f t$) を乗算して出力信号を得ることができる。この例は入力の PCM 符号として PCM 伝送に広く使用されている圧伸符号形式が用いられている場合であり、圧伸符号のままでは乗算などの線形演算が困難であるため、まず符号変換回路 11 によって線形符号に変換する必要がある。一方、周期関数発生回路 14 は、例えば読出し専用メモリ (ROM) で構成され、所定の周期関数波

(4)

全ての乗算組合せとその乗算結果を表形式にしてメモリに記憶させておき、入力信号の PCM 符号と周期関数の標本番号をアドレスとし当該メモリにアクセスし、乗算結果を直接読み出して出力する。

以下本発明を図面を参照して詳細に説明する。

第 2 図は本発明の第 1 の実施例を示すブロック図である。この実施例では周期関数として周波数が f [Hz] の正弦波とする例について説明する。第 2 図において、22 は読出し専用メモリ、24 はアドレス回路である。入力信号が 8 ビットの圧伸 PCM 符号であるとし、入力端子 21 から入力される。同時に入力信号に同期したワード同期パルスがクロック入力端子 25 から入力される。第 3 図は本回路の機能を説明するための説明図であり、時系列として順次入力する信号 x_i ($i = 0, 1, 2, \dots$) に、所定の関数値の時系列値 y_i を掛けて、出力値の時系列 z_i を得ようとするのが本回路の目的である。

ここで、入力 PCM 信号のサンプリング周期を $125 \mu s$ であるとし、所定の関数波形が第 4 図の

(6)

ように1 kHzの正弦波である場合、この関数のサンプル値は8個目で巡回する。すなわち $y_{i+8}=y_i$ となる。したがって y_i は $y_0 \sim y_7$ の8個の数値を順次繰返すことになる。一方、入力PCM信号が8ビットであるので、表示される振幅値は全てで $2^8=256$ 通りである。

第2図の読出し専用メモリ22の内部の記憶は、256種の入力PCM符号の全パターンと8種の関数サンプル値の全組合せを表形式として、第5図のメモリマップの様に区分けをして設定する。各記憶区分に書入れる内容は、以下の様にして求める。入力PCM符号の各々のパターンに対応するアナログ値は、使用されるPCM符号則により決定でき、このアナログ値に関数サンプル値 y_0, \dots, y_7 を各々掛算した値を、 z_0, \dots, z_7 とする。これを再びPCM符号化した符号パターンを作成し、各行各列の対応する記憶場所に格納する。この際、格納されるPCM符号は、必ずしも入力PCMと同じ符号則に基づく必要はなく、本回路の出力信号が使用される装置に都合の良い符号則とすることがで

(7)

ことを例にとると、第4図を参照すると、正弦波には通常の周期性の他に、極性を除去すると(すなわち絶対値で見ると)0.5 ms毎に周期が見られる。すなわち、 $y_{n+4}=-y_n$ となる。さらに、 $\sin \frac{\pi}{4} = \sin \frac{3}{4}\pi$ であるから、 $y_1=y_3$ となる。一方、入力PCM符号においても、符号パターンとアナログ値の関係は正負対称となっている。したがって、第6図において、メモリ66には、入力PCM符号の正の符号パターンと、 y_0, y_1, y_2 の3種の関数サンプル値により計算された出力符号パターンを、第5図と同様な方法で記憶させておく。この場合、メモリ66は128×3ワードの容量で良い。アドレス回路68は、8進カウンタとアドレスメモリから構成し、アドレスメモリは8個のワードから成り、各ワードは極性指示ビットとアドレス指示ビットとする。この8個のワードは8進カウンタにより順次サイクリックに読み出される。各ワードの内容は表1の様にあらかじめ設定しておく。

(9)

きる。本回路の後に、例えば加算回路等の線形演算回路が接続される場合は、一般的には、線形符号の形式が好ましい。アドレス回路24は、8進カウンタで構成され7を越えると再び0となってサイクリックに歩進する。このアドレス回路24の出力を第1のアドレスとし、入力PCM信号を第2のアドレスとし、第1のアドレスでメモリ22の列を指定し、第2のアドレスで行を指定することにより、最終的な出力符号をメモリ22より読み出し、出力端子23より出力する。

次に、第6図に本発明の第2の実施例を示す。この実施例では、信号の正負の極性に関する演算を前記メモリ以外で実行するとともに、周期関数における部分的な周期性も利用して、前記メモリの容量を削減することができる。第6図において、61は信号入力端子、62は極性分離回路、63は排他的論理和回路、64は極性付加回路、65は信号出力端子、66はメモリ、67はクロック入力端子、68はアドレス回路である。

第1の実施例と同じく1 kHzの正弦波を掛ける

(8)

表 1

ワード番号	極性指示	アドレス指示
0	1	0
1	1	1
2	1	2
3	1	1
4	0	0
5	0	1
6	0	2
7	0	1

入力PCM信号は、極性分離回路で極性ビット(通常第1ビットがこれであり、「1」が正、「0」が負とする)のみを分離され、排他的論理和回路63において、アドレス回路68の極性指示ビット(表1)と排他的論理和をとられる。入力PCM信号の振幅の絶対値を示す符号の部分はメモリ66にアドレスの一部として入力され、アドレス回路68からのアドレス指示ビットと併合してメモリ66のアドレスを指示し、該当の記憶内容の符号を読み出し、極性付加回路64に送る。極性付加回路64では、この出力に極性を付加す

(10)

る。もし出力信号の正負極性が極性ビットのみで表示する形式であれば、単に極性ビットを付け加えるのみでよく、他の形式で例えば負の信号は2の補数をとるような場合は、公知の補数生成回路をおけばよい。なお、関数サンプル値 y_0 はたまたま0であるため、これを乗算した結果も常に0となる。そこで、アドレス回路68のアドレス指示が0の場合(すなわち y_0 に相当)は、0に相当する出力符号を発生する回路を別に設けこの出力をメモリ66の出力とおきかえることにより、メモリ66の必要ワード数を128×2ワードとさらに減少させることができる。

以上の2つの実施例では、1 kHzという特定の正弦波を周期関数とする例を示したが、さらに一般の周波数を有する三角関数についても本発明は容易に実施できる。すなわち、サンプリング間隔を T (秒)、周波数を f [Hz]とすると、第1の実施例の様に関数のサンプル値の周期 $n \times T = m \times \frac{1}{f}$ (n, m は自然数)となる最小の n で定まり、第5図のメモリマップの列はこの n と等しく設け

(11)

し、得られたサンプル値の系列 $\omega_0, \omega_1, \dots, \omega_N$ が、ちょうど第1の実施例の関数サンプル値 y_i と同等に考えれば良く、掛算結果を格納するメモリの内容は ω_i の値に応じて計算してあらかじめ設定しておけばよい。この窓関数においても、時間軸の0を中心として左右の対称性があるので第2の実施例の様に必要メモリ容量を半分にすることができる。

以上詳しく説明したように、本発明を用いることにより従来のこの種の信号処理に必要であった掛算回路を不用とすることが可能となり、回路構成を簡単化できる利点がある。また、本発明の実施において必要なメモリ素子は、素子構造が単純であるので高度の集積回路とすることが容易であり、価格の低下、小形化がはかれる。特に掛算回路に比べメモリ素子は大幅に構造が単純であるので、高速動作をさせるのに都合が良い。

4. 図面の簡単な説明

第1図はたたみ込み演算をおこなう従来例のブロック図、第2図は本発明の第1の実施例を示す

(13)

れば良い。また、第2の実施例の様に、関数サンプル値の絶対値を基にメモリマップを作成する場合は、三角関数の位相が $0 \sim \pi/4$ を部分的な周期として、以降、第7図に示すように、左右および正負の対称性を利用できる。したがって、 $n \times T = m \times \frac{1}{f} \times \frac{1}{4}$ (n, m は自然数)を満たす最小の n と等しい数の列をメモリに設ければ良い(第7図の $\frac{\pi}{4}$ の時刻とサンプル時点が一致する場合は、さらにもう1列のメモリを必要とする)。

これまでの説明では、周期関数として三角関数を例にとったが、これ以外の周期関数においても全く同様に本発明を実施できる。例えば、第8図に示すような窓関数は、フーリエ積分を実行する場合に、フーリエ級数の収束を加減する目的で使用されることがある。第8図の例は、ハニングの窓と呼ばれる関数で、 $\omega(n) = \frac{1}{2} \left(1 + \cos \frac{2\pi n}{N} \right)$ 、 $-\frac{N}{2} \leq n \leq \frac{N}{2}$ と表わされ、定義域外では0である。この関数を周期 N 以上で繰返し、入力信号に掛けることになる。この演算を本発明の回路で実施するには、窓関数を所定のサンプル間隔でサンプル

(12)

ブロック図、第3図は第2図の機能を示す説明図、第4図は1 kHzの正弦波とサンプル値を示す波形図、第5図は読出し専用メモリ22の内部のメモリマップ、第6図は本発明の第2の実施例を示すブロック図、第7図は三角関数の対称性を説明する波形図、第8図はハニングの窓関数を示す波形図である。

21…入力端子、22…読出し専用メモリ、
23…出力端子、24…アドレス回路、25…クロック入力端子、61…信号入力端子、62…極性分離回路、63…排他的論理和回路、64…極性付加回路、65…信号出力端子、66…メモリ、
67…クロック入力端子、68…アドレス回路。

特許出願人

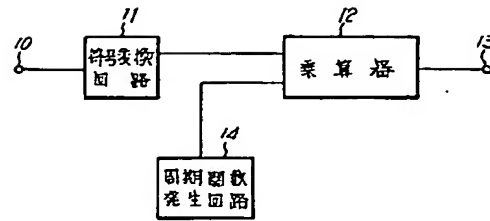
国際電信電話株式会社

特許出願代理人

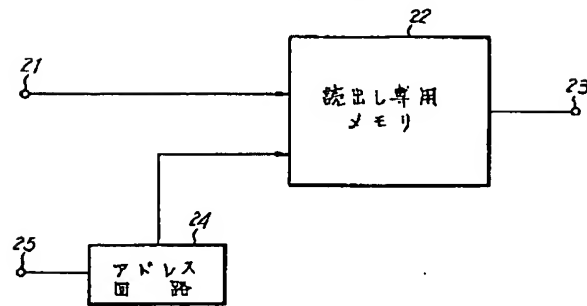
弁理士 山本 恵一

(14)

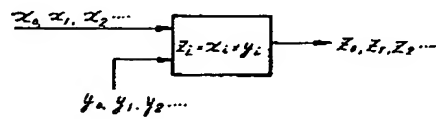
第1図



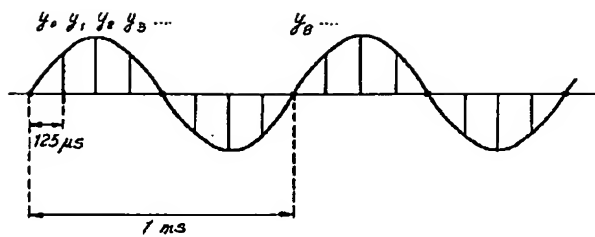
第2図



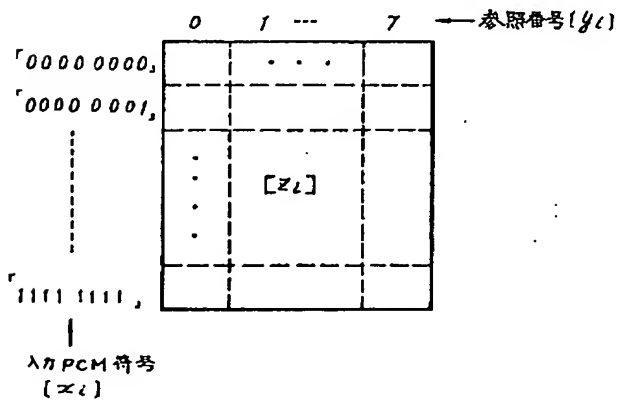
第3図



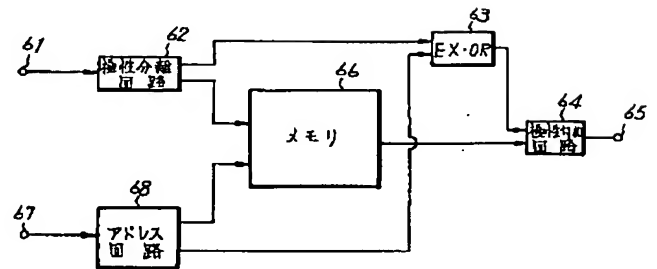
第4図



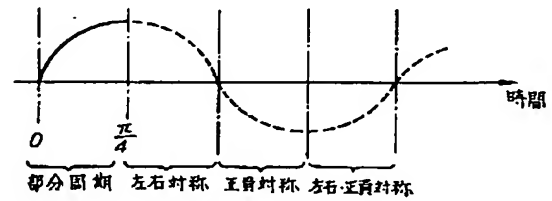
第5図



第6図



第7図



第8図

